

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月 8日

出 願 番 号

Application Number:

特願2002-230865

[ST.10/C]:

[JP 2002-230865]

出 願 人

Applicant(s):

株式会社日立製作所

2003年 2月28日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2003-3011600

【書類名】 特許願

【整理番号】 H01015251

【提出日】 平成14年 8月 8日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/30

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

 【氏名】 所附 一之

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

 【氏名】 横内 哲司

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

 【氏名】 宮本 佳幸

【発明者】

 【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

 【氏名】 山本 康治

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【代理人】

 【識別番号】 100080001

 【弁理士】

 【氏名又は名称】 筒井 大和

 【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 以下の工程を有することを特徴とする半導体装置の製造方法
;

(a) 第 1 の半導体基板上のレジスト膜に第 1 の露光エネルギーで露光処理を行う工程、

(b) 前記第 1 の半導体基板に形成されたレジストパターンの寸法の目標寸法からのずれが第 1 の値より大きい場合は第 1 の補正值で、前記ずれが前記第 1 の値より小さい場合は前記第 1 の補正值より小さな第 2 の補正值で、前記第 1 の露光エネルギーを補正し、補正された露光エネルギーで第 2 の半導体基板上のレジスト膜に露光処理を行う工程。

【請求項 2】 以下の工程を有することを特徴とする半導体装置の製造方法
;

(a) 第 1 の半導体基板上のレジスト膜に第 1 の露光エネルギーで露光処理を行う工程、

(b) 前記第 1 の半導体基板に形成されたレジストパターンの寸法の目標寸法からのずれが第 1 の値より大きい場合は第 1 の補正值で、前記ずれが前記第 1 の値より小さく第 2 の値より大きい場合は前記第 1 の補正值より小さな第 2 の補正值で、前記第 1 の露光エネルギーを補正し、補正された露光エネルギーで第 2 の半導体基板上のレジスト膜に露光処理を行い、前記ずれが前記第 2 の値より小さい場合は前記第 1 の露光エネルギーで前記第 2 の半導体基板上のレジスト膜に露光処理を行う工程。

【請求項 3】 以下の工程を有することを特徴とする半導体装置の製造方法
;

(a) 複数の半導体基板上のレジスト膜にそれぞれ第 1 の露光エネルギーで露光処理を行う工程、

(b) 前記複数の半導体基板に形成されたレジストパターンの寸法の目標寸法からのずれの平均値が第 1 の値より大きい場合は第 1 の補正值で、前記ずれの平均

値が前記第 1 の値より小さい場合は前記第 1 の補正值より小さな第 2 の補正值で、前記第 1 の露光エネルギーを補正し、補正された露光エネルギーで前記複数の半導体基板とは別の半導体基板上のレジスト膜に露光処理を行う工程。

【請求項 4】 以下の工程を有することを特徴とする半導体装置の製造方法；

(a) 複数の半導体基板上のレジスト膜にそれぞれ第 1 の露光エネルギーで露光処理を行う工程、

(b) 前記複数の半導体基板に形成されたレジストパターンの寸法の目標寸法からのずれの平均値が第 1 の値より大きい場合は第 1 の補正值で、前記ずれの平均値が前記第 1 の値より小さく第 2 の値より大きい場合は前記第 1 の補正值より小さな第 2 の補正值で、前記第 1 の露光エネルギーを補正し、補正された露光エネルギーで前記複数の半導体基板とは別の半導体基板上のレジスト膜に露光処理を行い、前記ずれの平均値が前記第 2 の値より小さい場合は前記第 1 の露光エネルギーで前記複数の半導体基板とは別の半導体基板上のレジスト膜に露光処理を行う工程。

【請求項 5】 以下の工程を有することを特徴とする半導体装置の製造方法；

(a) 複数の半導体基板上のレジスト膜にそれぞれ第 1 の露光エネルギーで露光処理を行う工程、

(b) 前記複数の半導体基板に形成されたレジストパターンの寸法の目標寸法からのずれの平均値を検出する工程、

(c) 前記 (b) 工程で検出された前記ずれの平均値が第 1 の値より大きい場合は第 1 の補正值で、前記ずれの平均値が前記第 1 の値より小さく第 2 の値より大きい場合は前記第 1 の補正值より小さな第 2 の補正值で、前記第 1 の露光エネルギーを補正して第 2 の露光エネルギーとし、前記ずれの平均値が前記第 2 の値より小さい場合は前記第 1 の露光エネルギーを補正せずに第 2 の露光エネルギーとする工程、

(d) 前記第 2 の露光エネルギーを第 3 の露光エネルギーと比較して次の露光処理を行うか判断する工程、

(e) 前記 (d) 工程の判断に応じて、前記第 2 の露光エネルギーで前記複数の半導体基板とは別の半導体基板上のレジスト膜に露光処理を行う工程。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造技術に関し、特に、フォトリソグラフィ法を用いた半導体装置の製造技術に適用して有効な技術に関する。

【0002】

【従来の技術】

半導体装置の製造工程は、半導体ウエハ上に形成された材料膜を所望の形状にパターン化するためのフォトリソグラフィ工程を多数含んでいる。フォトリソグラフィ工程においては、半導体ウエハ上の材料膜上にレジスト（フォトレジスト）膜が塗布または形成され、露光装置（ステッパ）を用いて露光される。露光装置は、レチクルといわれる回路パターンが描画されているガラス面の上から光を照射し、照射された光エネルギー（露光エネルギー）によって、レジスト膜に露光部と未露光部とを形成する。その後、塗布現像装置によって現像されて半導体ウエハ上に所定の形状のレジストパターン（フォトレジストパターン）が形成される。形成されたレジストパターンをエッチングマスクとして用いて半導体ウエハ上の材料膜をエッチングすることで、半導体ウエハ上に形成された材料膜を所望の形状にパターン化することができる。

【0003】

【発明が解決しようとする課題】

フォトリソグラフィ工程で形成されるレジストパターンの寸法（開口寸法や線幅）は、レジスト膜上に与える露光エネルギーによって再現性よく制御することができる。しかしながら、半導体製造装置の経時変化、状態あるいはレジスト膜材料などの要因が重なり、形成されたレジストパターンは露光装置から与えられた露光エネルギーが一定であっても、あるゆらぎをもって変化する。形成されたレジストパターンは、エッチング工程を経て、半導体回路パターンとなるため、形成されたレジストパターンの寸法がターゲット（目標）寸法から大きくずれる

と不良品となる。また、ターゲット寸法から大きくずれなくとも、ばらつきが大きいと、半導体装置は非常に微小な回路パターンで動作しているため、半導体装置の動作速度やリフレッシュ特性などに影響を与える恐れがある。これは、半導体装置の製造歩留まりを低下させ、半導体装置の製造コストを増大させる。

【 0 0 0 4 】

このため、形成されたレジストパターンの寸法がターゲット（目標）寸法からずれている場合、露光エネルギーを補正して、形成されるレジストパターンの寸法を修正する必要がある。すなわち、あるロットの半導体ウエハの露光処理が終了した後、露光エネルギーの補正が必要かどうかの判断を行い、必要であれば露光エネルギーを補正し、補正された露光エネルギーで次のロットの半導体ウエハの露光処理を行う。

【 0 0 0 5 】

レジストパターンの寸法がターゲット寸法になるよう露光装置の露光エネルギーを自動的に補正して制御する方法としては、次の2つが考えられる。

【 0 0 0 6 】

第1の方法として、露光エネルギーの変化量（ ΔE ）に対するレジストパターンの寸法の変化量（ ΔW ）の比率 a_1 （ $a_1 = \Delta W / \Delta E$ ）を定量化してあらかじめ設定しておき、レジストパターンの寸法とターゲット寸法との差（ W_d ）から露光エネルギーの補正量（ ΔE_d ）を決定し（ $\Delta E_d = W_d / a_1$ ）、露光エネルギーを補正することが考えられる。

【 0 0 0 7 】

この方法では、あるロットの半導体ウエハ上のレジスト膜に露光処理を行い、形成されたレジストパターンの寸法がターゲット寸法からずれていれば、レジストパターンの寸法とターゲット寸法とのずれ（ W_d ）に応じた露光エネルギー量（ $\Delta E_d = W_d / a_1$ で算出される）だけ露光エネルギーを補正して、次のロットの半導体ウエハ上のレジスト膜に補正された露光エネルギーで露光処理を行う。このため、上記比率 a_1 の設定値の精度が高い場合は、形成されたレジストパターンの寸法はターゲット寸法に対して収束が早く、追従性がよい。しかしながら、上記比率 a_1 の設定値の精度が低い場合は、形成されたレジストパターンの寸

法はターゲット寸法に対して収束せず、補正された露光エネルギーにより形成されたレジストパターンの寸法がターゲット寸法に対してオーバーシュートするなどして、いくら補正を行ってもターゲット寸法に寄らない恐れがある。従って、露光エネルギーの変化量に対するレジストパターンの寸法の変化量の比率 a_1 の設定値の精度を向上する必要があるが、そのためには、レジストの種類、プロセスタイプ（半導体ウエハの表面状態）、ターゲット寸法、およびレンズ収差による露光量と寸法リニアリティ領域などのパラメータが必要である。このため、少量多品種の半導体装置を量産している製造ラインには向かない。半導体装置の製造コストも増大させる。また、これらのパラメータはレジスト感度により大きく変わることから、一度厳密な実験を行ってパラメータを設定しても、恒久的にパラメータが変わらないという保証はない。このため、所定の規格内の寸法のレジストパターンを安定的に形成することは容易ではない。

【 0 0 0 8 】

第2の方法として、一回に変更させる露光エネルギー量 (ΔE_1) を発散しないように比較的小さな値に設定しておき、レジストパターンの寸法が所定の規格範囲に入るまで、一度に ΔE_1 ずつ露光エネルギーを調節することが考えられる。

【 0 0 0 9 】

この方法では、あるロットの半導体ウエハ上のレジスト膜に露光処理を行い、形成されたレジストパターンの寸法が所定の規格範囲から外れていれば、予め決められた比較的小さな量 (ΔE_1) だけ露光エネルギーを補正して、次のロットの半導体ウエハ上のレジスト膜に補正された露光エネルギーで露光処理を行う。一度に変更する露光エネルギー量が小さいので、形成されたレジストパターンの寸法の微調整が可能となる。このため、上記第1の手法のように形成されたレジストパターンの寸法が発散することはない。また、一度に変更する露光エネルギー量を、露光エネルギー量に対する割合（例えば1%）で設定することで、少量多品種の半導体装置の製造ラインの場合、設定パラメータを最小限とすることができ、量産工程に向いている。しかしながら、一度に変更する露光エネルギー量が小さいので、形成されたレジストパターンの寸法が所定の規格範囲から大きく

ずれている場合に、ターゲット寸法への収束が遅く、追従性が悪い。また、形成されたレジストパターンの寸法が規格範囲内に収まるまでに時間がかかる。半導体装置の製造歩留まりを低減させる恐れもある。

【 0 0 1 0 】

本発明の目的は、レジストパターンの寸法精度を高めることができる半導体装置の製造方法を提供することにある。

【 0 0 1 1 】

本発明の他の目的は、所定の規格内の寸法のレジストパターンを安定的に製造することが可能な半導体装置の製造方法を提供することにある。

【 0 0 1 2 】

本発明の他の目的は、製造時間を短縮でき、製造歩留まりを向上できる半導体装置の製造方法を提供することにある。

【 0 0 1 3 】

本発明の他の目的は、量産化に適した半導体装置の製造方法を提供することにある。

【 0 0 1 4 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 1 5 】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【 0 0 1 6 】

本発明の半導体装置の製造方法は、形成されたレジストパターンの寸法が目標寸法から大きくずれている場合は、補正する露光エネルギーの量または割合を大きくし、形成されたレジストパターンの寸法が目標寸法に近づいてからは、補正する露光エネルギーの量または割合を小さくするものである。

【 0 0 1 7 】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

【 0 0 1 8 】

(実施の形態 1)

本実施の形態の半導体装置の製造工程における、レジストパターン（フォトレジストパターン）を形成する際の露光エネルギー（光エネルギー）の制御方法について図面を参照して説明する。本実施の形態の露光エネルギーの制御方法は、種々の形状のレジストパターンを形成する際に適用できるが、例えば半導体ウエハ（半導体基板）上の絶縁膜などにコンタクトホールまたはスルーホールを形成するためのレジストパターンを形成する際に適用することができる。

【 0 0 1 9 】

図 1 は、半導体基板（半導体ウエハ）上のレジスト（フォトレジスト）膜を露光する際の露光エネルギーの制御方法を説明するためのグラフである。図 2 は、図 1 に示される露光エネルギーの照射によって形成されたレジストパターンの寸法を示すグラフである。図 3 および図 4 は、本実施の形態の半導体装置の製造工程における、露光エネルギーの制御方法または制御ロジックを説明するためのフローチャートである。図 1 および図 2 のグラフの横軸は、露光が行われた半導体基板（半導体ウエハ）のロット番号（ロット NO.）に対応する。図 1 のグラフの縦軸は、各ロット番号の半導体基板に照射された（与えられた）露光エネルギー（光エネルギーまたは露光量）に対応する。図 2 のグラフの縦軸は、図 1 のグラフの露光エネルギーを照射されたことによって各ロット番号の半導体基板に形成されたレジストパターンの寸法 W に対応し、例えばレジスト膜の下の材料膜（絶縁膜）にコンタクトホールまたはスルーホールを形成するためのレジストパターンの開口部の寸法である。また、配線パターンなどを形成するためのレジストパターンの場合は、レジストパターンの線幅の寸法となる。なお、図 1 および図 2 のグラフには、本実施の形態の露光エネルギーの制御方法を用いて露光処理を行った場合（白丸で示してある）と、露光エネルギーの制御を行わず、一定の露

光エネルギーにて露光処理を行った場合（黒丸で示してある）とを載せてある。

【 0 0 2 0 】

フォトリソグラフィ工程においては、ロット番号 1 の半導体基板上に形成されたレジスト膜が露光装置（ステッパ）により露光されて現像され、形成されたレジストパターンの寸法 W が測定され、ロット番号 2 の半導体基板上に形成されたレジスト膜が露光されて現像され、形成されたレジストパターンの寸法 W が測定される。このような操作が繰り返されて、ロット番号 3 以降の半導体基板上にもレジストパターンが形成される。本実施の形態では、このようなフォトリソグラフィ工程の露光処理において、露光エネルギーを適切な値に制御しながら、各ロットの半導体基板（半導体ウエハ）の露光処理を行う。なお、各ロットの半導体基板は、一枚の半導体基板であっても、あるいは複数の半導体基板から構成されていてもよい。また、各ロットの半導体基板が複数の半導体基板から構成されている場合は、各ロットの半導体基板のレジストパターンの寸法 W は、各ロットを構成する全ての半導体基板の平均値であっても、各ロットから任意の複数の半導体基板を抜き出して測定した平均値であっても、あるいは各ロットから任意の一枚の半導体基板を抜き出して測定した値であってもよい。

【 0 0 2 1 】

まず、フォトリソグラフィ工程において露光エネルギーの制御（自動制御）を行う前に、所定のパラメータをあらかじめ設定する（ステップ S 1）。設定するパラメータとしては、レジストパターンのターゲット（目標）寸法 W_T 、設定値 R_1 （不感帯領域）、設定値 R_2 （先行規格）、設定値 R_3 （本体規格）、補正值 α_1 、補正值 α_2 、データ数 N_1 、データ数 N_2 、 C_{p0} 値、変更露光量マージン M_1 、しきい値 R_4 などである。

【 0 0 2 2 】

ここで、ターゲット寸法 W_T は、形成されるレジストパターンの寸法（例えばレジストパターンの開口部の寸法） W の目標（ターゲット）値に対応し、本実施の形態では例えば $0.7 \mu m$ に設定される。

【 0 0 2 3 】

設定値 R_1 は、形成されたレジストパターンの寸法 W が規格に対して十分なマ

ージンをもち、レジストパターンの寸法 W がこの領域内であれば露光エネルギーを補正する必要がない領域である不感帯領域を規定するために設定され、本実施の形態では例えば $R_1 = 0.05 \mu\text{m}$ に設定される。従って、 $W_T - R_1 \sim W_T + R_1$ の領域に対応する不感帯領域は、 $0.65 \sim 0.75 \mu\text{m}$ となる。

【0024】

設定値 R_2 は、半導体基板上に形成されたレジストパターンの寸法 W の中心管理値であり、レジストパターンの寸法 W がこの範囲内であればおおむね問題がない領域（先行規格）を規定するために設定され、本実施の形態では例えば $R_2 = 0.2 \mu\text{m}$ に設定される。従って、 $W_T - R_2 \sim W_T + R_2$ の領域に対応する先行規格は、 $0.5 \sim 0.9 \mu\text{m}$ となる。ただし、半導体装置の製造工程は例えば約30工程のフォトリソグラフィ工程を含んでおり、設定値 R_2 （先行規格）内の最大値のずれが各フォトリソグラフィ工程で累積されていくと最終的に製造される半導体装置のスペック（例えば動作速度やリフレッシュ特性など）に影響が出る可能性がある。

【0025】

設定値 R_3 は、着工された工程での規格値の最大許容範囲（本体規格）を規定するために設定され、本実施の形態では例えば $0.4 \mu\text{m}$ に設定される。従って、 $W_T - R_3 \sim W_T + R_3$ の領域に対応する本体規格は、 $0.3 \sim 1.1 \mu\text{m}$ となる。ただし、半導体装置の製造工程は例えば約30工程のフォトリソグラフィ工程を含んでおり、設定値 R_3 （本体規格）内の最大値のずれが各フォトリソグラフィ工程で累積されていくと最終的には製品不良が起こる可能性があり、その場合は製造された半導体装置が検査工程で不良品として除去される。

【0026】

補正值 α_1 は、形成されたレジストパターンの寸法 W とターゲット寸法 W_T とのずれが比較的大きいときに、一回に変更（補正）させる露光エネルギーの割合（変更前の露光エネルギーまたは露光エネルギーの初期値を100%とした相対値）に対応し、本実施の形態では例えば4%に設定される。補正值 α_2 は、形成されたレジストパターンの寸法 W とターゲット寸法 W_T とのずれが比較的小さいときに、一回に変更（補正）させる露光エネルギーの割合（変更前の露光エネルギー

一または露光エネルギーの初期値を 1 0 0 % とした相対値) に対応し、本実施の形態では例えば 1 % に設定される。補正值 α_1 および補正值 α_2 は、上記値に限定されず、例えば補正值 $\alpha_1 = 4 \%$ 、補正值 $\alpha_2 = 2 \%$ や補正值 $\alpha_1 = 8 \%$ 、補正值 $\alpha_2 = 5 \%$ など、必要に応じて種々の値に変更できるが、本実施の形態では、補正值 α_2 が補正值 α_1 よりも小さい ($|\alpha_2| < |\alpha_1|$) ことに注意すべきである。なお、本実施の形態では、補正值 α_2 が補正值 α_1 よりも小さいとは、補正值 α_2 と補正值 α_1 が同符号であり、かつ補正值 α_2 の絶対値が補正值 α_1 の絶対値よりも小さいことを意味する。また、補正值 α_1 および補正值 α_2 は、上記のように変更前の露光エネルギーに対する露光エネルギーの変更量の割合とすることができ、露光エネルギーの変更量の絶対値 (例えば補正值 $\alpha_1 = 50 \text{ J}$ 、補正值 $\alpha_2 = 20 \text{ J}$ や、補正值 $\alpha_1 = 200 \text{ J}$ 、補正值 $\alpha_2 = 50 \text{ J}$ など) とすることもできる。

【 0 0 2 7 】

データ数 N_1 は、レジストパターンの寸法 W の平均値 W_m を求めるためのデータ数 (ロット数) であり、本実施の形態では例えば 3 に設定される。データ数 N_2 は、 C_p 値 (C_p 値とは工程能力指数) を計算させるためのデータ数 (ロット数) であり、補正後の C_p 値に影響を与えないように、比較的大きな値を設定しておくことが好ましい。

【 0 0 2 8 】

例えば $C_p = |\text{本体規格の上限} - \text{本体規格の下限}| / 6\sigma$ (σ : レジストパターンの寸法 W の標準偏差) として表される C_p 値は、ばらつきが小さいほど、本体規格の範囲が広いほど、大きくなる。プロセスまたは半導体製造装置などに起因してレジストパターンの寸法 W のばらつきが大きすぎると (すなわち C_p が小さすぎると)、露光エネルギーの自動補正を行うと逆に不良品を作ってしまう可能性がある。発散防止用のインターロックとして、レジストパターンの寸法 W のばらつきを判定するための C_p 値の基準値として C_{p0} 値を設定し、実際のレジストパターンの寸法データから計算した C_p 値を C_{p0} 値と比較することで、ばらつきが大きいかどうかの判断を行うことができる。

【 0 0 2 9 】

しきい値 R_4 は、レジストパターンの寸法 W の異常値（異常寸法値）を除外または削除するためのしきい値である。

【 0 0 3 0 】

また、形成されたレジストパターンの寸法 W がプロセスまたは半導体製造装置などに起因して経時的にドリフトする現象は、その原因を究明し、対策することが必要であり、変更露光量マージン M_1 は、補正された露光エネルギー量が問題ないか判定するために使用され、本実施の形態では例えば5%に設定される。

【 0 0 3 1 】

上記パラメータを設定した後、露光エネルギーの制御を開始する（ステップS2）。この際、必要に応じていくつかのロットの半導体基板に対して露光エネルギーの制御なしに一定の露光エネルギーで露光処理を行い、任意の段階で本実施の形態の露光エネルギーの制御を開始することもできる。

【 0 0 3 2 】

続いて、ターゲット中心フラグを0（ゼロ）に設定またはセットする（ステップS3）。これは、後述するように、レジストパターンの寸法 W がターゲット寸法 W_T とほぼ一致するような最適な露光エネルギー量を求め、そこから±5%のインターロックを動かすためである。

【 0 0 3 3 】

次に、しきい値 R_4 を使用してレジストパターンの寸法 W の異常寸法データ（異常値）を削除する（ステップS4）。レジストパターンの寸法 W のデータのうち、しきい値 R_4 を越えたデータ（異常寸法データ）を削除または除外することで、後述する C_p 値や平均値 W_m の計算に異常寸法データを含ませないようにすることができる。なお、異常寸法データが続けば、エラー表示を行う。

【 0 0 3 4 】

次に、データ数 N_2 のレジストパターンの寸法 W から C_p 値を計算する（ステップS5）。この際、各ロット番号のレジストパターンの寸法 W のデータのうち、最新の露光処理したロットからさかのぼって N_2 個分のロットの寸法データを選択して、レジストパターンの寸法 W の C_p 値を計算する。

【 0 0 3 5 】

次に、計算された C_p 値を C_{p0} 値と比較する（ステップS6）。 C_p 値が C_{p0} 値より小さければ、エラー表示を行う（ステップS7）。ここでエラーが表示された場合は、レジストパターンの寸法 W のばらつきまたは変動が大きいことを意味するので、露光エネルギーの自動補正を行うとかえって不良品を作ってしまう恐れがある。このため、露光エネルギーの自動補正を行わずに露光処理を行う。例えば、先行に半導体基板を一枚製造ラインに流すテストランを行うなどし、レジストパターンの寸法 W が先行規格内であれば、他の半導体基板も露光エネルギーの自動補正なしに製造ラインに流す。

【0036】

C_p 値が C_{p0} 値以上であれば、補正カウンタ数 N をデータ数 N_1 と比較する（ステップS8）。補正カウンタ数 N がデータ数 N_1 より小さければ、露光エネルギーを補正せずに、同じ露光エネルギーで次のロットの半導体基板の露光を着工する（ステップS9）。そして、補正カウンタ数 N に1を加算する（ステップS10）。なお、補正カウンタ数 N の初期値は1である。これは、後述するように、レジストパターンの寸法 W の平均値 W_m をデータ数 N_1 で計算して露光エネルギーが適正かどうか判定するので、露光エネルギーの補正を行った後はデータ数 N_1 の分（ロット数）だけ露光エネルギーの補正を行わないようにするためである。そして、更に次のロットの半導体基板に対する露光エネルギーを決めるために、ステップ4に戻る。

【0037】

補正カウンタ数 N がデータ数 N_1 以上（または $N = N_1$ ）であれば、データ数 N_1 でレジストパターンの寸法 W の平均値 W_m を計算する（ステップS11）。この際、各ロット番号のレジストパターンの寸法 W のデータうち、最新の露光処理したロットからさかのぼって N_1 個分のロットのデータを選択して、レジストパターンの寸法 W の平均値 W_m を計算する。例えばデータ数 N_1 を3に設定した場合は、3ロット分のレジストパターンの寸法 W のデータから平均値 W_m を算出する。

【0038】

次に、計算したレジストパターンの寸法 W の平均値 W_m とターゲット寸法 W_T とを比較し、両者のずれ、すなわち計算したレジストパターンの寸法 W の平均値 W

m とターゲット寸法 W_T との差の絶対値 ($|W_m - W_T|$)、を算出する。そして、レジストパターンの寸法 W の平均値 W_m とターゲット寸法 W_T のずれを、設定値 R_1 、設定値 R_2 および設定値 R_3 と比較し、露光エネルギーの補正量を決定する (ステップ S 1 2)。この際、決定される露光エネルギーの補正量は、次の 3 通りのいずれかとなる。

【 0 0 3 9 】

レジストパターンの寸法 W の平均値 W_m とターゲット寸法 W_T のずれが設定値 R_2 よりも大きく設定値 R_3 以下の場合 ($R_2 < |W_m - W_T| \leq R_3$) は、露光エネルギーを補正值 α_1 だけ補正する (ステップ S 1 3)。なお、この際、レジストパターンの寸法 W の平均値 W_m がターゲット寸法 W_T より大きい場合 ($W_m > W_T$) は、露光エネルギーを補正值 α_1 だけ減少させ、レジストパターンの寸法 W の平均値 W_m がターゲット寸法 W_T より小さい場合 ($W_m < W_T$) は、露光エネルギーを補正值 α_1 だけ増加させる。なお、これは、半導体基板上のポジ型のレジスト膜でホール系のレジストパターン (例えばコンタクトホール形成用のレジストパターン) を形成する場合 (レジストパターンの寸法 W はホールの寸法または径に対応する) や半導体基板上のネガ型のレジスト膜でライン系のレジストパターン (例えば配線パターン形成用のレジストパターン) を形成する場合 (レジストパターンの寸法 W はレジストパターンの線幅の寸法に対応する) であり、ポジ型とネガ型やホール系とライン系が入れ換われれば、露光エネルギーの増減方向は逆になる。また、補正值 α_1 を例えば 4 % に設定した場合は、補正前の露光エネルギー量に対して露光エネルギーを 4 % 増加または減少させ、補正值 α_1 を例えば 5 0 J に設定した場合は、補正前の露光エネルギー量に 5 0 J を加算または減少させる。

【 0 0 4 0 】

レジストパターンの寸法 W の平均値 W_m とターゲット寸法 W_T のずれが設定値 R_1 よりも大きくかつ設定値 R_2 以下の場合 ($R_1 < |W_m - W_T| \leq R_2$) は、露光エネルギーを補正量 α_2 だけ補正する (ステップ S 1 4)。なお、この際、レジストパターンの寸法 W の平均値 W_m がターゲット寸法 W_T より大きい場合 ($W_m > W_T$) は、露光エネルギーを補正量 α_2 だけ減少させ、レジストパターンの寸法 W の

平均値 W_m がターゲット寸法 W_T より小さい場合 ($W_m < W_T$) は、露光エネルギーを補正量 α_2 だけ増加させる。露光エネルギーの増減方向に関しては、上記補正量 α_1 の場合と同様である。また、補正值 α_1 を例えば1%に設定した場合は、補正前の露光エネルギー量に対して露光エネルギーを1%増加または減少させ、補正值 α_1 を例えば20 Jに設定した場合は、補正前の露光エネルギー量に20 Jを加算または減少させる。

【 0 0 4 1 】

レジストパターンの寸法 W の平均値 W_m とターゲット寸法 W_T のずれが設定値 R_1 以下の場合 ($|W_m - W_T| \leq R_1$) は、露光エネルギーを補正しない (ステップ S 1 5)。この場合、ターゲット中心フラグが1に設定される (ステップ S 1 6)。また、ターゲット中心フラグが0から1に変わったタイミングで露光中心値 E_C (ターゲット中心フラグが0から1に設定されたときの露光エネルギーに対応) を自動でセットする。従って、露光中心値 E_C は、レジストパターンの寸法 W (の平均値 W_m) が設定値 (不感帯領域) R_1 の範囲内にはじめて入ったときの露光エネルギーに対応する。

【 0 0 4 2 】

それから、ターゲット中心フラグが1かどうか判別する (ステップ S 1 7)。ターゲット中心フラグが1の場合、補正後の露光エネルギー E が、露光中心値 E_C のマージンの範囲内に入っているか判別する (ステップ S 1 8)。露光中心値 E_C のマージンは、変更露光量マージン M_1 により設定されており、ここでは、補正後の露光エネルギー E と露光中心値 E_C のずれが、変更露光量マージン M_1 以下であるか ($|E - E_C| / E_C \leq M_1$ であるか) が判別される。例えば露光中心値 E_C が1000 J、変更露光量マージン M_1 が5%の場合は補正後の露光エネルギー E が950 J ~ 1050 J の範囲内にあるかどうか判別される。補正後の露光エネルギー E が、露光中心値 E_C のマージンの範囲内であれば、計算 (補正) された露光エネルギー E を着工 (次のロットの半導体基板に対する露光処理) に使用する (ステップ S 1 9)。その後、補正カウンタ数 N をクリアして1に戻す (ステップ S 2 0)。補正後の露光エネルギー E が、露光中心値 E_C のマージンの範囲外 ($|E - E_C| / E_C > M_1$) であれば、エラー表示する (ステップ 2 1

）。ここでエラー表示された場合は、プロセスまたは半導体製造装置に起因したレジストパターンの寸法 W のドリフト現象が生じている可能性があるので、原因を調べて対策する。

【 0 0 4 3 】

ターゲット中心フラグが1でない場合（すなわち0の場合）は、補正後の露光エネルギー E が、制御スタート時の露光量 E_S に対して変更露光量マージン M_1 の2倍のマージンの範囲内に入っているか判別する（ステップ22）。すなわち、補正後の露光エネルギー E と制御スタート時の露光量 E_S のずれが、変更露光量マージン M_1 の2倍以下であるか（ $|E - E_S| / E_S \leq 2M_1$ であるか）が判別される。補正後の露光エネルギー E がこの範囲内であれば、計算（補正）された露光エネルギー E を着工（次のロットの半導体基板に対する露光処理）に使用する（ステップS19）。その後、補正カウンタ数 N をクリアして1に戻す（ステップS20）。補正後の露光エネルギー E が上記範囲外であれば、エラー表示する（ステップ23）。ここでエラーが表示された場合は、パラメータの設定にミスがあった可能性があるので、設定したパラメータが問題ないか調べ、必要であれば設定し直す。

【 0 0 4 4 】

それから、更に次のロットの半導体基板に対する露光エネルギーを決めるために、ステップ4に戻り、上記ステップを繰り返す。このようにして、照射する露光エネルギーを必要に応じて補正しながら、各ロットの半導体基板上のレジスト膜に順次露光処理を行う。

【 0 0 4 5 】

図1および図2のグラフからも分かるように、上記の露光エネルギーの制御方法では、データ数 N_1 （ここでは3ロット）毎に、露光エネルギーを補正しているが、レジストパターンの寸法 W （の平均値 W_m ）とターゲット寸法 W_T のずれが設定値 R_2 の範囲外であれば大きな補正量 α_1 で露光エネルギーを補正し、レジストパターンの寸法 W （の平均値 W_m ）とターゲット寸法 W_T のずれが設定値 R_2 の範囲内に入れば、小さな補正量 α_2 で露光エネルギーを補正し、レジストパターンの寸法 W （の平均値 W_m ）とターゲット寸法 W_T のずれが更に設定値 R_1 の範囲

内に入れば、露光中心値 E_C を登録して露光マージンのインターロック機能をスタートさせている。このため、レジストパターンの寸法 W のターゲット寸法 W_T への収束性が早くなり、レジストパターンの寸法 W の微調整も可能となる。

【 0 0 4 6 】

なお、本実施の形態では、2つの露光エネルギーの補正值 α_1 および α_2 を設定して露光エネルギーを補正しているが、露光エネルギーの補正值を3つ以上設定し、形成されたレジストパターンの寸法がターゲット寸法から大きくずれている場合は、最も大きな補正值で露光エネルギーを補正し、形成されたレジストパターンの寸法がターゲット寸法に近づくにつれて、徐々に小さな補正值で露光エネルギーを補正することもできる。

【 0 0 4 7 】

図5は、レジストパターンの寸法 W のばらつきが大きな場合の寸法データを示すグラフである。図5のグラフの横軸は、露光が行われた半導体基板のロット番号（ロットNO.）に対応する。図5のグラフの縦軸は、図2のグラフの縦軸と同様に、各ロット番号の半導体基板に形成されたレジストパターンの寸法 W に対応する。なお、図5の場合、本実施の形態の露光エネルギーの制御は行わず、照射する露光エネルギーを一定にした場合のデータである。

【 0 0 4 8 】

図5のようにレジストパターンの寸法 W のばらつきが大きい場合、露光エネルギーの自動制御を行うと、かえって規格外のレジストパターンが形成され、不良品を作ってしまう恐れがある。例えば、図5のグラフにおいて、最初の3ロット（ロットNO. 1～3）のレジストパターン寸法 W から平均値 W_m を求め、露光エネルギーを補正したとすると、次のロット（ロットNO. 4）のレジストパターンの寸法 W は、補正を行わなかった場合よりも小さくなり、規格外（本体規格外）となってしまう恐れがある。本実施の形態では、上述のように、 C_p 値によりばらつきが大きいかどうかの判断を行い（ステップS6に対応）、 C_p 値が C_{p0} 値より小さければ、すなわち、図5のようにレジストパターンの寸法 W のばらつきまたは変動が大きければ、露光エネルギーの自動補正を行わずに露光処理を行う。これにより、半導体装置の製造歩留まりを向上できる。

【 0 0 4 9 】

図 6 は、露光中心値 E_C と露光量マージン M_1 の設定によるインターロック機能を説明するためのグラフである。図 6 のグラフの横軸は、露光が行われた半導体基板のロット番号（ロット NO.）に対応する。図 6 のグラフの縦軸は、各ロットの半導体基板に形成されたレジストパターンの寸法 W および各ロットの半導体基板に照射された露光エネルギーに対応する。図 6 のグラフ中の白三角が、本実施の形態の露光エネルギーの制御（補正）を行いながら半導体基板に照射した露光エネルギーに対応し、図 6 のグラフ中の白丸が、それにより形成されたレジストパターンの寸法 W に対応する。また、図 6 のグラフ中の黒丸は、本実施の形態の露光エネルギーの制御（補正）を行わなかった場合（露光エネルギー一定の場合）に形成されるレジストパターンの寸法 W に対応する。

【 0 0 5 0 】

図 6 に示されるように、露光エネルギーを一定にしたときに、レジストパターン寸法 W がドリフトする（一定方向にずれる）場合がある（図 6 のグラフの黒丸）。これは、プロセスまたは半導体製造装置に起因したドリフト現象である可能性がある。このような現象が生じた場合は、根本的な原因を調べて対策する必要がある。しかしながら、露光エネルギーの制御を継続した場合、図 6 に示されるように、露光エネルギーが補正される（露光エネルギーがドリフトする）ことにより、レジストパターンの寸法 W がドリフトすることなくターゲット寸法 W_T 近傍に収束したままとなり、プロセスまたは半導体製造装置に起因した上記現象に気づかない恐れがある。しかしながら、本実施の形態では、上述のように、露光中心値 E_C と露光量マージン M_1 の設定によるインターロック機能を付加し、ステップ S 1 8 において補正後の露光エネルギーが、露光中心値 E_C から変更露光量マージン M_1 以上ずれたときは（例えば 5 % 以上ずれたときは）、エラー表示する。このため、半導体製造装置に起因したレジストパターンの寸法 W のドリフト現象が生じている可能性を検知し、原因を調べ対策することが可能となる。

【 0 0 5 1 】

本実施の形態では、補正值 α_1 を発散しない程度の大きな値に設定し、補正值 α_2 をレジストパターンの寸法の微調整が可能な比較的小さな値に設定し（ $\alpha_1 >$

α_2)、それによって、形成されたレジストパターンの寸法とターゲット寸法とのずれが(設定値 R_2 よりも)大きい場合は、露光エネルギーの補正值(補正割合または補正量)を大きくし、形成されたレジストパターンの寸法とターゲット寸法とのずれが(設定値 R_2 よりも)小さい場合は、露光エネルギーの補正值(補正割合または補正量)を小さくする。このため、レジストパターンの寸法のターゲット寸法への収束性が早くなり、レジストパターンの寸法の微調整も可能となる。従って、レジストパターンの寸法精度を高めることができる。所定の規格内のレジストパターンを安定的に製造することもできる。これにより、高精度の回路パターンを有する半導体装置を安定して形成することができ、半導体装置の信頼性を向上し、製造歩留まりを低減できる。また、半導体装置の製造時間も短縮できる。また、例えば少量多品種の半導体装置を量産している製造ラインでも、設定パラメータの変更が少なくすむので、量産化に適した半導体装置の製造工程を実現できる。

【 0 0 5 2 】

また、レジストパターンの寸法データを1点で判定した場合、設定したしきい値内のばらつき外乱を拾ってしまい、正しい補正ができないおそれがある。本実施の形態では、レジストパターンの寸法 W の平均値 W_m を求めるためのデータ数 N_1 を用い、 N_1 個のデータ数(ロット数)の平均により補正を判定するので、外乱による影響を抑制できる。

【 0 0 5 3 】

また、一度補正を行った後、補正カウンタを用いて補正が十分かどうかを判断するロジックを入れたことにより、精度の高い露光エネルギー量の制御が可能となる。

【 0 0 5 4 】

また、レジストパターンの寸法 W のばらつきを、 C_p 値を計算することにより判定し、ばらつきの程度により補正を行うか行わないかを判断するので、レジストパターンの寸法 W が発散してしまうのを抑制することができる。

【 0 0 5 5 】

また、露光中心値 E_C を設定し、マージンをもたせることで、プロセスまたは

半導体製造装置に起因したレジストパターンの寸法 W のドリフト現象を検出することができる。また、露光中心値 E_C を設定し、マージンをもたせることで、パラメータの設定ミスを検出することができる。

【 0 0 5 6 】

次に、上記露光エネルギーの制御方法を用いたフォトリソグラフィ工程を使用して半導体装置を製造する工程について説明する。図 7 は、本発明の一実施の形態である半導体装置、例えば C M I S F E T (Complementary Metal Insulator Semiconductor Field Effect Transistor)、の製造工程中の要部断面図である。ここでは、1 枚の半導体基板（半導体ウエハ）に半導体素子を形成して半導体装置を製造する場合について説明するが、他の半導体基板についても同様にして半導体素子を形成し、半導体装置を製造することができる。

【 0 0 5 7 】

まず、図 7 に示すように、例えば $1 \sim 10 \Omega \text{ cm}$ 程度の比抵抗を有する p 型の単結晶シリコンなどからなる半導体基板（半導体ウエハ）1 の主面に素子分離領域 2 が形成される。素子分離領域 2 は酸化シリコンなどからなり、例えば S T I (Shallow Trench Isolation) 法または L O C O S (Local Oxidization of Silicon) 法などにより形成される。

【 0 0 5 8 】

次に、半導体基板 1 の主面から所定の深さに渡って p 型ウエル 3 および n 型ウエル 4 が形成される。p 型ウエル 3 は、例えばホウ素などの不純物をイオン注入することなどによって形成され、n 型ウエル 4 は、例えばリンなどの不純物をイオン注入することなどによって形成される。

【 0 0 5 9 】

次に、p 型ウエル 3 および n 型ウエル 4 の表面にゲート絶縁膜 5 が形成される。ゲート絶縁膜 5 は、例えば薄い酸化シリコン膜などからなり、例えば熱酸化法などによって形成することができる。

【 0 0 6 0 】

次に、p 型ウエル 3 および n 型ウエル 4 のゲート絶縁膜 5 上にゲート電極 6 が形成される。ゲート電極 6 は、例えば、ゲート絶縁膜 5 上に低抵抗の多結晶シリ

コン膜とチタンシリサイド ($TiSi_x$) 層またはコバルトシリサイド ($CoSi_x$) 層とを積層し、フォトリソグラフィ法およびエッチング法を用いてパターン化することにより形成することができる。

【 0 0 6 1 】

次に、p型ウエル3のゲート電極6の両側の領域にリンなどの不純物をイオン注入することにより、 n^- 型の半導体領域7aが形成され、n型ウエル4のゲート電極6の両側の領域にホウ素などの不純物をイオン注入することにより、 p^- 型の半導体領域8aが形成される。

【 0 0 6 2 】

次に、ゲート電極6の側壁には、例えば酸化シリコンなどからなる側壁スペーサまたはサイドウォール9が形成される。サイドウォール9の形成後、 n^+ 型の半導体領域7b (ソース、ドレイン) が、例えば、p型ウエル3のゲート電極6及びサイドウォール9の両側の領域にリンなどの不純物をイオン注入することにより形成され、 p^+ 型の半導体領域8b (ソース、ドレイン) が、例えば、n型ウエル4のゲート電極6及びサイドウォール9の両側の領域にホウ素などの不純物をイオン注入することにより形成される。 n^+ 型の半導体領域7bは、 n^- 型の半導体領域7aよりも不純物濃度が高く、 p^+ 型の半導体領域8bは、 p^- 型の半導体領域8aよりも不純物濃度が高い。

【 0 0 6 3 】

これにより、nチャネル型のMISFET (Metal Insulator Semiconductor Field Effect Transistor) 10とpチャネル型のMISFET 11とが形成される。

【 0 0 6 4 】

次に、半導体基板1上には、ゲート電極6およびサイドウォール9を覆うように、絶縁膜12が形成される。絶縁膜12は、例えばゲート電極8間の狭いスペースを埋め込み可能なリフロー性の高い絶縁膜、例えばBPSG (Boron-doped Phospho Silicate Glass) 膜などからなる。

【 0 0 6 5 】

それから、絶縁膜12には、フォトリソグラフィ法およびエッチング法を用い

てコンタクトホール 1 3 が形成され、コンタクトホール 1 3 の底部で、半導体基板 1 の主面の一部、例えば n^+ 型の半導体領域 7 b および p^+ 型の半導体領域 8 b の一部、やゲート電極 6 の一部などが露出される。

【 0 0 6 6 】

コンタクトホール 1 3 の形成工程では、絶縁膜 1 2 上にレジスト膜を形成し、レジスト膜を露光し現像してレジスト膜をパターン化し、形成されたレジストパターンをエッチングマスクとして絶縁膜 1 2 をエッチングすることによってコンタクトホール 1 3 が形成される。この際、上記の制御方法を用いて露光エネルギーを調整してレジストパターンの寸法制御を行うことが好ましい。これにより、コンタクトホール 1 3 の寸法精度が向上する。

【 0 0 6 7 】

次に、コンタクトホール 1 3 内に、タングステン (W) などからなるプラグ 1 4 が形成される。プラグ 1 4 は、例えば、コンタクトホール 1 3 の内部を含む絶縁膜 1 2 上にバリア膜として例えば窒化チタン膜 1 4 a を形成した後、タングステン膜を CVD (Chemical Vapor Deposition) 法によって窒化チタン膜 1 4 a 上にコンタクトホール 1 3 を埋めるように形成し、絶縁膜 1 2 上の不要なタングステン膜および窒化チタン膜 1 4 a を CMP (Chemical Mechanical Polishing) 法またはエッチバック法などによって除去することにより形成される。

【 0 0 6 8 】

次に、プラグ 1 4 が埋め込まれた絶縁膜 1 2 上に、第 1 層配線として例えばタングステンなどからなる配線 (配線パターン) 1 5 が形成される。配線 1 5 は、絶縁膜 1 2 上にタングステン膜などを形成し、フォトリソグラフィ法およびエッチング法によってパターン化することにより形成することができる。配線 1 5 は、プラグ 1 4 を介して n チャネル型 MISFET 1 0 および p チャネル型 MISFET 1 1 のソース・ドレイン用の半導体領域 7 b および 8 b やゲート電極 6 と電氣的に接続されている。配線 1 5 は、タングステンに限定されず種々変更可能であり、例えばアルミニウム (Al) またはアルミニウム合金などの単体膜あるいはこれらの単体膜の上下層の少なくとも一方にチタン (Ti) や窒化チタン (TiN) などのような金属膜を形成した積層金属膜としても良い。

【0069】

次に、絶縁膜12上に、配線15を覆うように、絶縁膜16が形成される。その後、コンタクトホール13と同様にして、絶縁膜16に配線15の一部を露出するビア又はスルーホール17が形成され、プラグ14や配線15と同様にして、スルーホール17を埋めるプラグ18や、プラグ18を介して配線15に電氣的に接続する第2層配線としての配線19が形成される。そして、絶縁膜16上に、配線19を覆うように、絶縁膜20が形成される。

【0070】

その後、図示は省略するが、スルーホール17と同様にして、絶縁膜20に配線19の一部を露出するビア又はスルーホールが形成され、プラグ18や配線19と同様にして、スルーホールを埋めるプラグや、プラグを介して配線19に電氣的に接続する上層配線などが、必要に応じて形成される。

【0071】

このような半導体装置の製造工程には、特に記述しなかったフォトリソグラフィ工程を含めて、多数のフォトリソグラフィ工程が含まれている。このフォトリソグラフィ工程においては、半導体基板（半導体ウエハ）に照射する露光エネルギーを、上記露光エネルギーの制御方法に従って補正しながら、各半導体基板上に所望の寸法のレジストパターンを的確に形成する。フォトリソグラフィ工程の全てについて上記露光エネルギーの制御方法を適用することもできるが、全フォトリソグラフィ工程のうちの任意の工程（単数または複数）についてだけ上記露光エネルギーの制御方法を適用してもよい。また、ホール系のレジストパターンを形成するフォトリソグラフィ工程、例えばコンタクトホールまたはスルーホールの形成のためのフォトリソグラフィ工程に対して上記露光エネルギーの制御方法を適用すれば特に効果大きい。配線パターンなどを形成するためのフォトリソグラフィ工程などに上記露光エネルギーの制御方法を適用しても有効である。

【0072】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱し

ない範囲で種々変更可能であることは言うまでもない。

【 0 0 7 3 】

前記実施の形態では、C M I S F E T を有する半導体装置の製造工程について説明したが、本発明は、これに限定されるものではなく、フォトリソグラフィ工程を有する種々の半導体装置の製造工程に適用することができる。

【 0 0 7 4 】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【 0 0 7 5 】

形成されたレジストパターンの寸法が目標寸法から大きくずれている場合は、補正する露光エネルギーの量または割合を大きくし、形成されたレジストパターンの寸法が目標寸法に近づいてからは、補正する露光エネルギーの量または割合を小さくすることにより、所定の規格内の寸法のレジストパターンを安定して製造することができる。

【図面の簡単な説明】

【図 1】

本実施の一実施の形態である半導体装置の製造工程における、半導体基板上のレジスト膜を露光する際の露光エネルギーの制御方法を説明するためのグラフである。

【図 2】

図 1 に示される露光エネルギーの照射によって形成されたレジストパターンの寸法を示すグラフである。

【図 3】

本実施の一実施の形態である半導体装置の製造工程における、露光エネルギーの制御方法を説明するためのフローチャートである。

【図 4】

本実施の一実施の形態である半導体装置の製造工程における、露光エネルギーの制御方法を説明するためのフローチャートである。

【図 5】

レジストパターンの寸法のばらつきが大きな場合の寸法データを示すグラフである。

【図 6】

露光中心値と露光量マージンの設定によるインターロック機能を説明するためのグラフである。

【図 7】

本発明の一実施の形態である半導体装置の製造工程中の要部断面図である。

【符号の説明】

- 1 半導体基板
- 2 素子分離領域
- 3 p 型ウエル
- 4 n 型ウエル
- 5 ゲート絶縁膜
- 6 ゲート電極
- 7 a n^{-} 型の半導体領域
- 7 b n^{+} 型の半導体領域
- 8 a p^{-} 型の半導体領域
- 8 b p^{+} 型の半導体領域
- 9 サイドウォール
- 1 0 nチャネル型のM I S F E T
- 1 1 pチャネル型のM I S F E T
- 1 2 絶縁膜
- 1 3 コンタクトホール
- 1 4 プラグ
- 1 4 a 窒化チタン膜
- 1 5 配線
- 1 6 絶縁膜
- 1 7 スルーホール

1 8 プラグ

1 9 配線

2 0 絶縁膜

W レジストパターンの寸法

W_T レジストパターンのターゲット寸法

W_m レジストパターンの寸法の平均値

R_1 設定値（不感帯領域）

R_2 設定値（先行規格）

R_3 設定値（本体規格）

R_4 しきい値

α_1 補正值

α_2 補正值

N_1 データ数

N_2 データ数

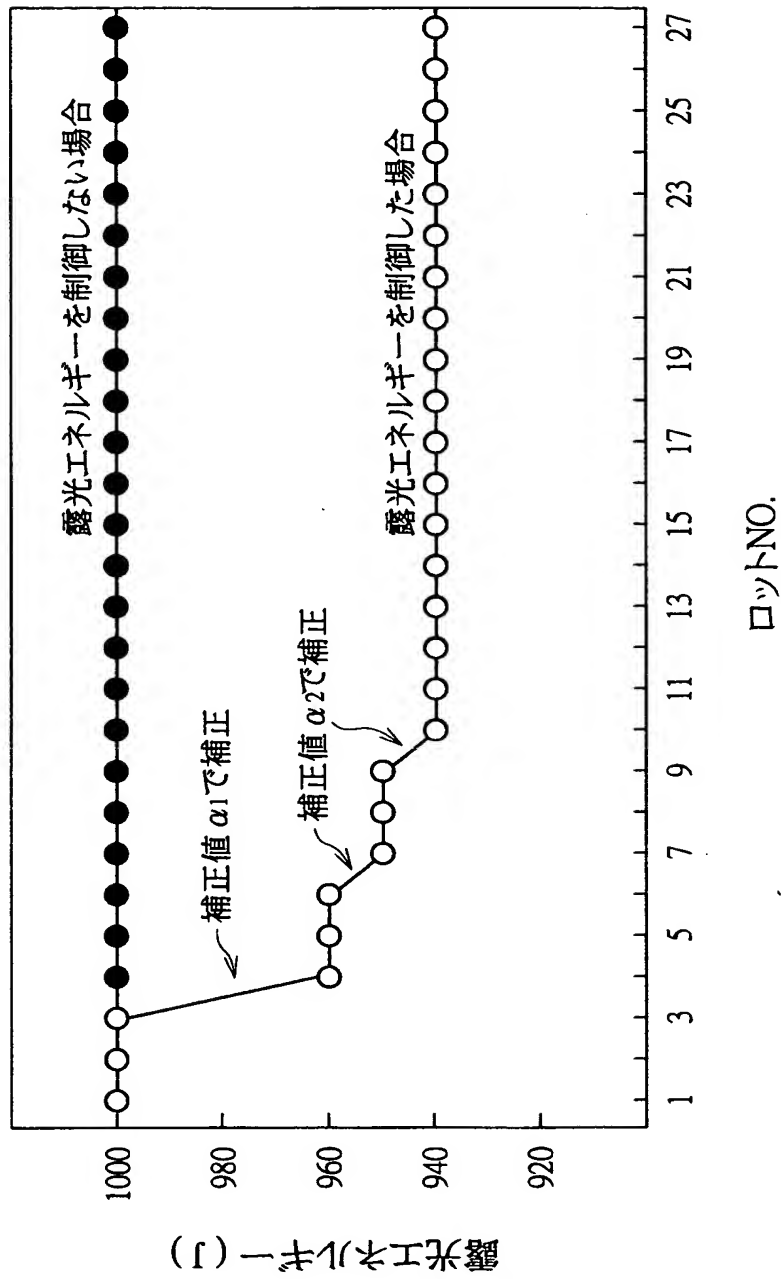
M_1 変更露光量マージン

E_C 露光中心値

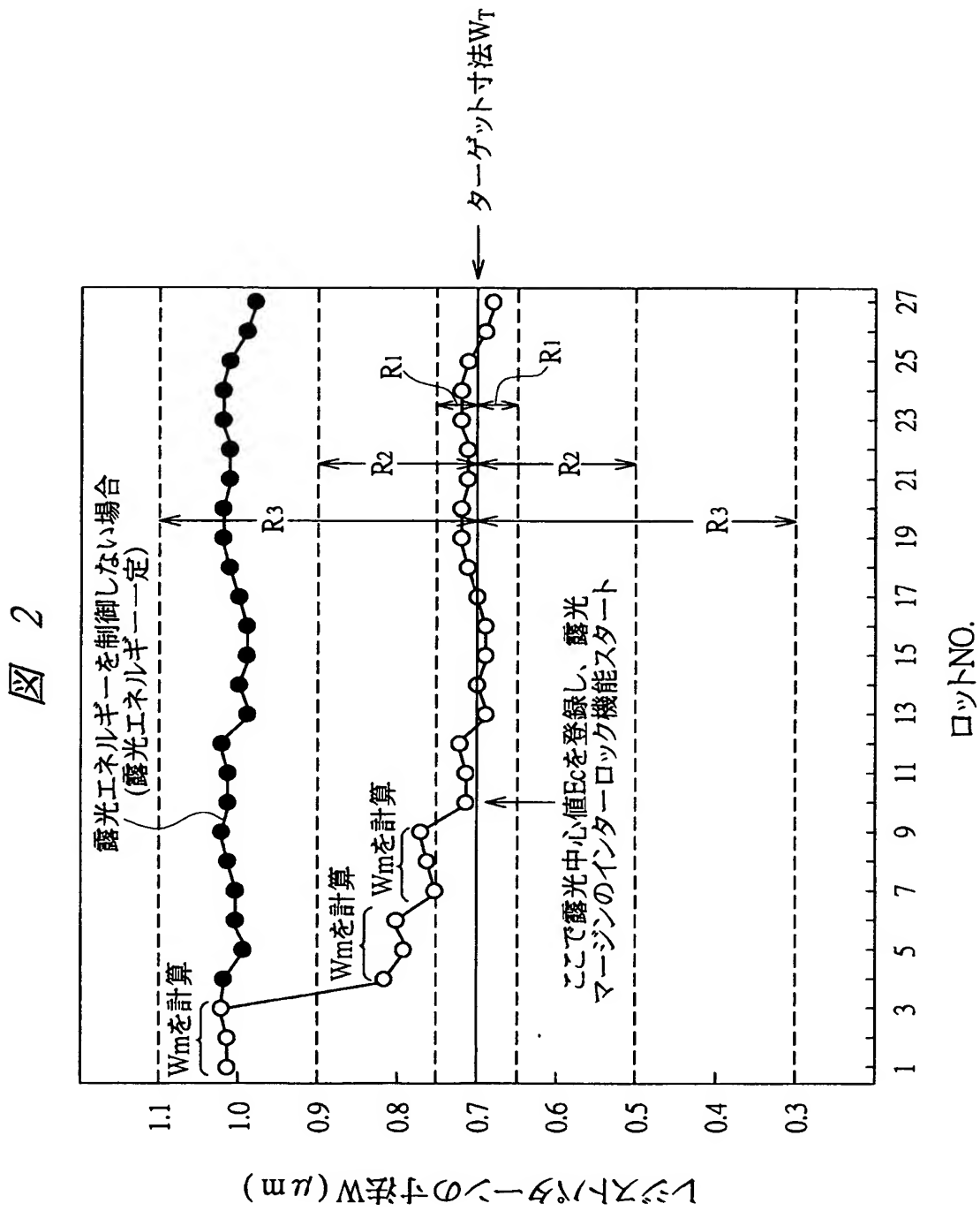
【書類名】 図面

【図 1】

図 1

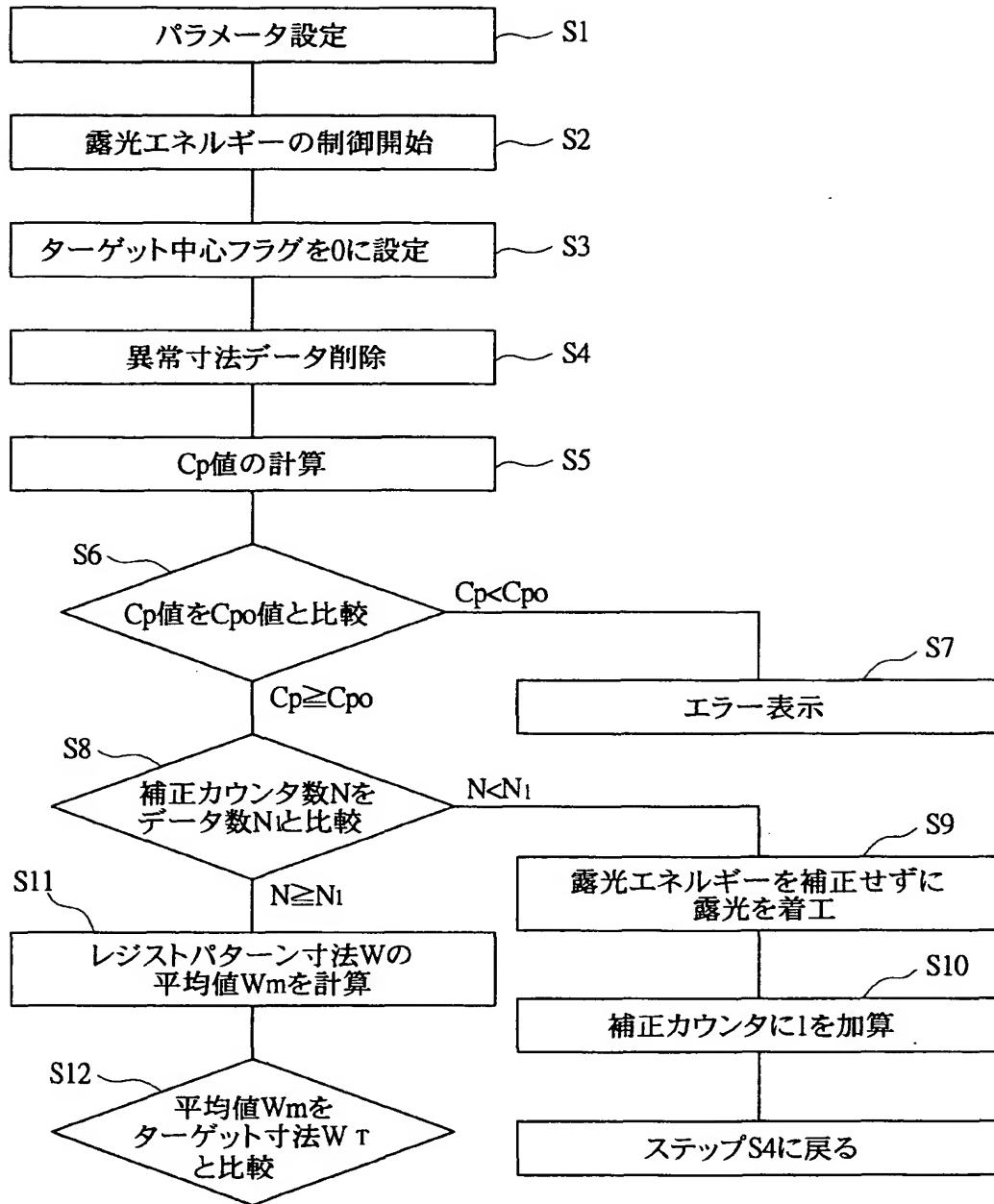


【図 2】



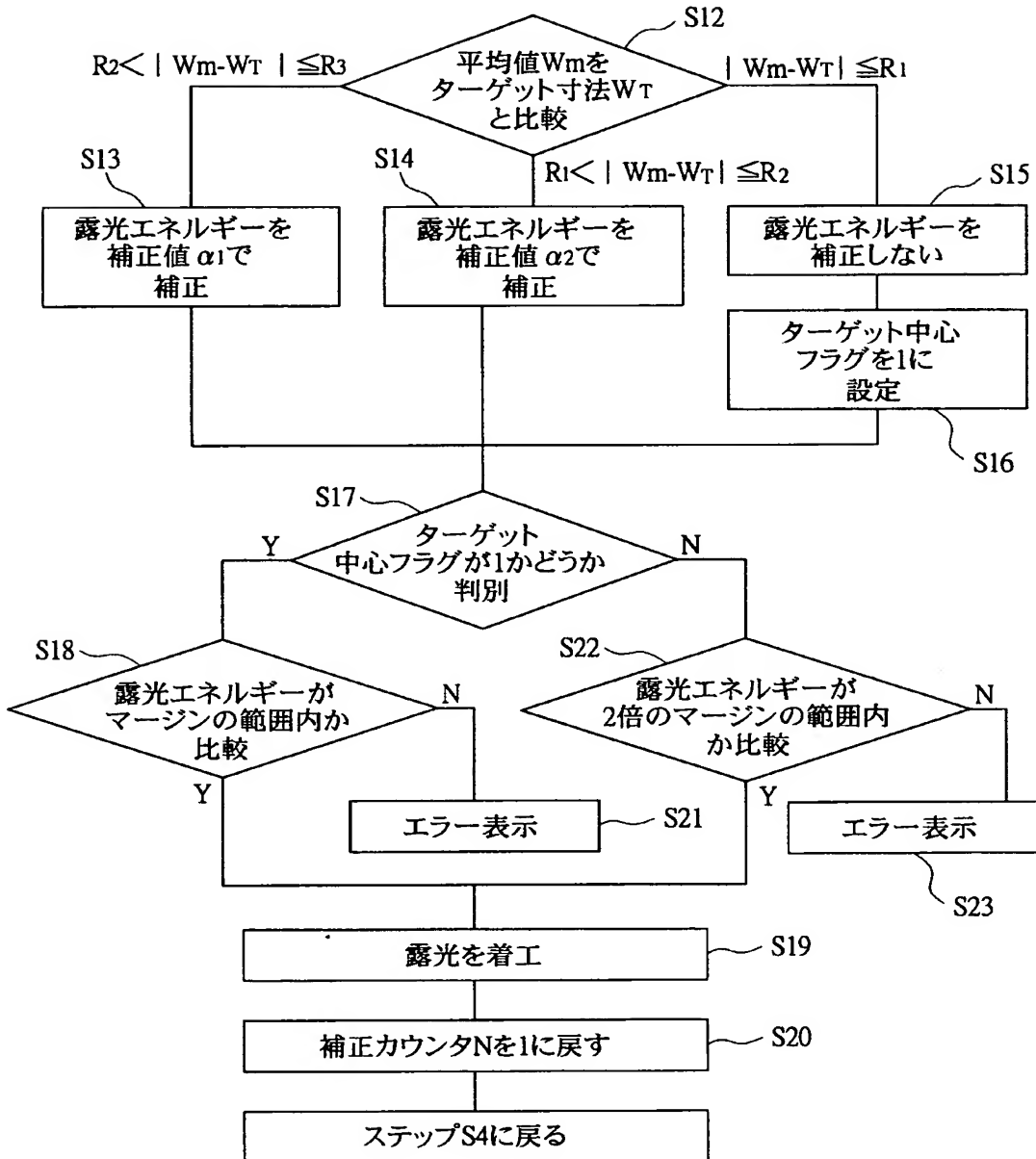
【図 3】

図 3



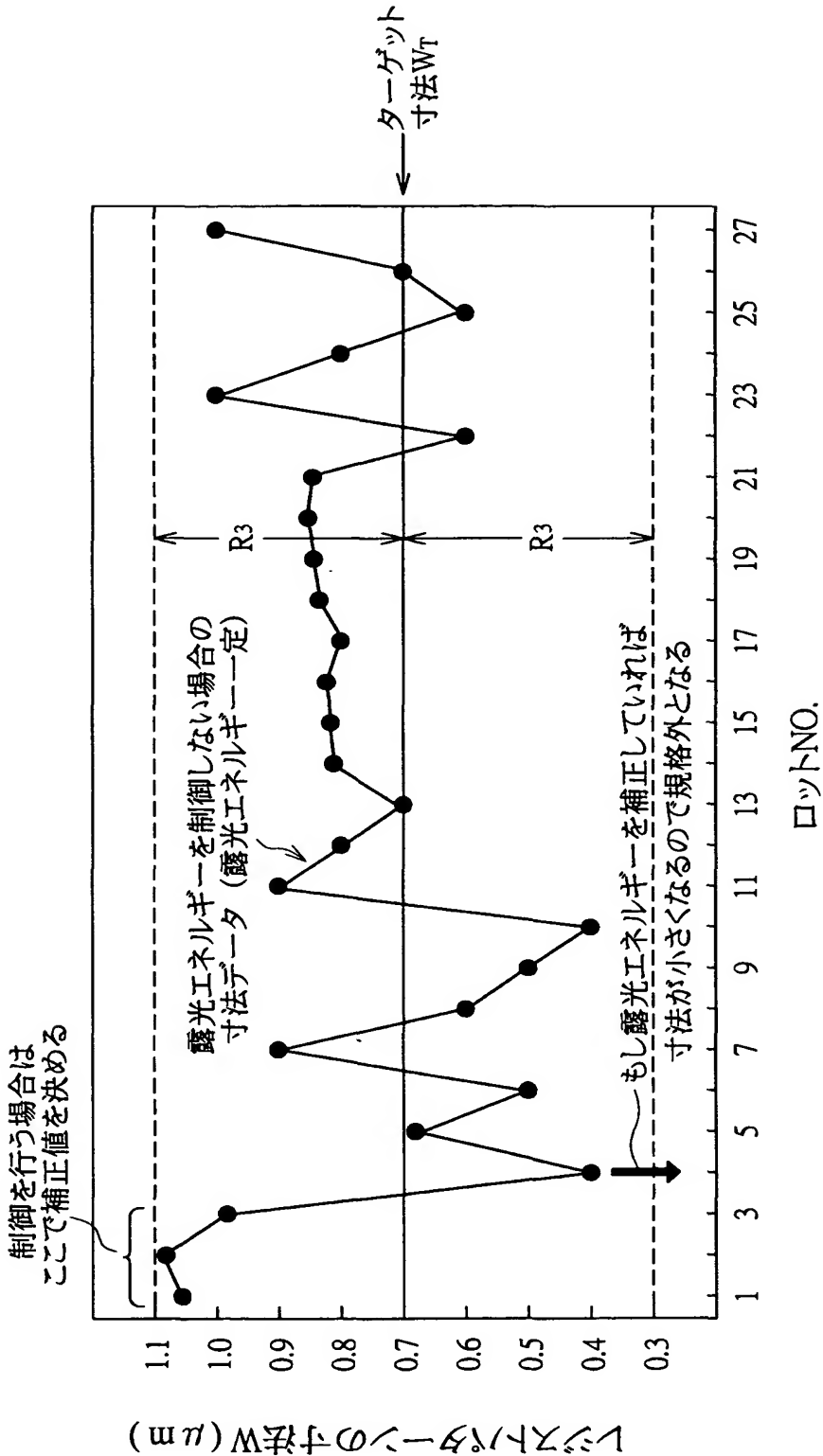
【図 4】

図 4



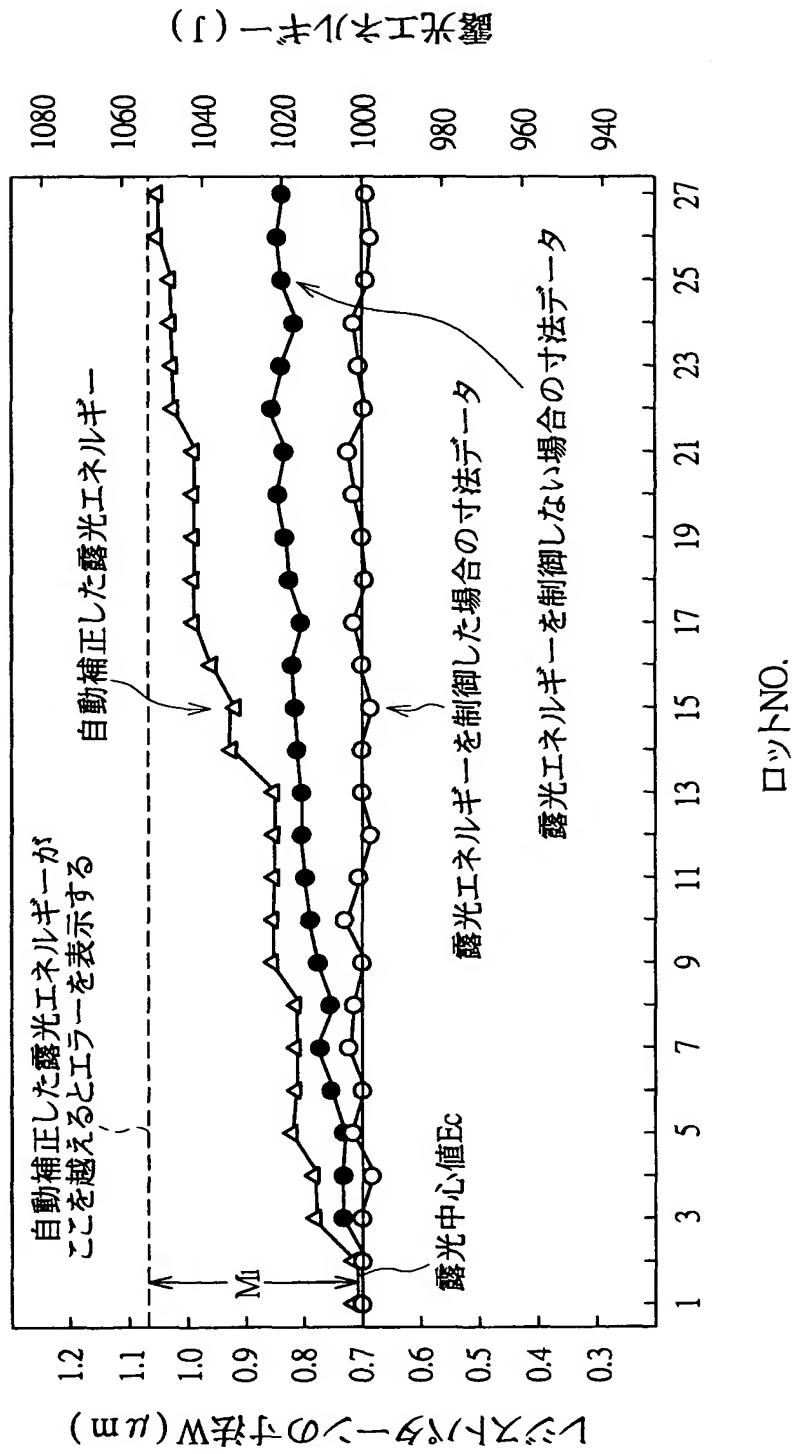
【図 5】

図 5



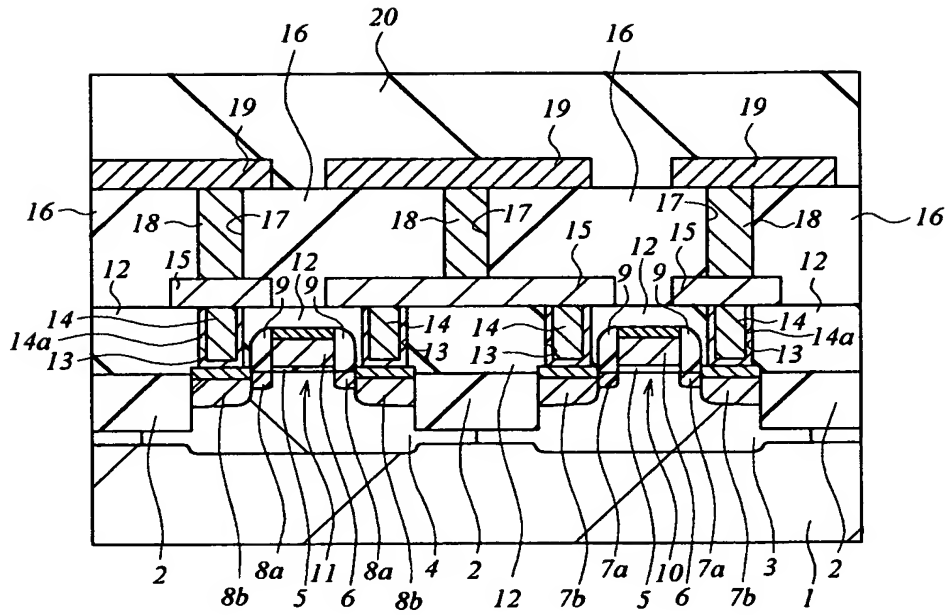
【図 6】

図 6



【図 7】

図 7



【書類名】 要約書

【要約】

【課題】 レジストパターンの寸法精度を高め、安定的に製造する。

【解決手段】 所定のロット数の半導体基板に対して露光処理を行う毎に、形成されたレジストパターンの寸法の平均値をターゲット寸法と比較する。形成されたレジストパターンの寸法とターゲット寸法とのずれが第1の値よりも大きい場合は、比較的大きな補正值 α_1 で露光エネルギーを補正し、形成されたレジストパターンの寸法とターゲット寸法とのずれが第1の値よりも小さく第2の値よりも大きい場合は、比較的小さな補正值 α_2 で露光エネルギーを補正し、形成されたレジストパターンの寸法とターゲット寸法とのずれが第2の値よりも小さい場合は、露光エネルギーを補正しない。算出された露光エネルギーを用いて、次のロットの半導体基板に対し露光処理を行う。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 0 8]

1. 変更年月日 1 9 9 0 年 8 月 3 1 日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台 4 丁目 6 番地

氏 名 株式会社日立製作所